

(51)Int.Cl.

H01L 21/20 H01L 21/205 H01L 29/80 H01S 3/18

(21)Application number : 59-263364

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.12.1984

(72)Inventor : OSHIMA HIROYUKI

IWANO HIDEAKI

KOMATSU HIROSHI

TSUNEKAWA YOSHIFUMI

**(54) SEMICONDUCTOR SUBSTRATE****(57)Abstract:**

PURPOSE: To contrive the improvement in crystallizability of a Ge thin film by alleviating the mismatching of the lattice by changing a composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$, which is arranged between an Si substrate and a Ge thin film as a buffer layer, from $x=0$ to $x=1$ continuously and monotonously from the Si substrate side toward the Ge thin film.

CONSTITUTION: On an Si substrate 101, an $\text{Si}_{1-x}\text{Ge}_x$ thin film 102 which is to be a buffer layer is formed and a Ge thin film 103 and a GaAs thin film 104 are formed on that. A composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$ thin film is $x=0$, i.e., the composition of Si in the position where it contacts with the underlying Si substrate 101, and $x=1$, i.e., the composition of Ge in the position where it contacts with the Ge thin film 103 above. Between them, a value of x changes continuously and monotonously from 0 to 1 and the mismatching between Si and Ge is alleviated. The $\text{Si}_{1-x}\text{Ge}_x$ thin film can be formed by a reduced CVD method using monosilane gas and german gas. As the composition ratio x is controlled by a flow ratio of the gas, it can be changed as it is desired by changing a gas flow ratio continuously and monotonously.

Patent Number: JP61141116
Publication date: 1986-06-28
Inventor(s): OSHIMA HIROYUKI; others: 03
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP61141116
Application Number: JP19840263364 19841213
Priority Number(s):
IPC Classification: H01L21/20; H01L21/205; H01L29/80; H01S3/18
EC Classification:
EC Classification:
Equivalents:

SEMICONDUCTOR SUBSTRATE

Patent Number: JP61141116
Publication date: 1986-06-28
Inventor(s): OSHIMA HIROYUKI; others: 03
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP61141116
Application Number: JP19840263364 19841213
Priority Number(s):
IPC Classification: H01L21/20; H01L21/205; H01L29/80; H01S3/18
EC Classification:
Equivalents:

Abstract

PURPOSE: To contrive the improvement in crystallizability of a Ge thin film by alleviating the mismatching of the lattice by changing a composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$, which is arranged between an Si substrate and a Ge thin film as a buffer layer, from $x=0$ to $x=1$ continuously and monotonously from the Si substrate side toward the Ge thin film.

CONSTITUTION: On an Si substrate 101, an $\text{Si}_{1-x}\text{Ge}_x$ thin film 102 which is to be a buffer layer is formed and a Ge thin film 103 and a GaAs thin film 104 are formed on that. A composition ratio x of the $\text{Si}_{1-x}\text{Ge}_x$ thin film is $x=0$, i.e., the composition of Si in the position where it contacts with the underlying Si substrate 101, and $x=1$, i.e., the composition of Ge in the position where it contacts with the Ge thin film 103 above. Between them, a value of x changes continuously and monotonously from 0 to 1 and the mismatching between Si and Ge is alleviated. The $\text{Si}_{1-x}\text{Ge}_x$ thin film can be formed by a reduced CVD method using monosilane gas and german gas. As the composition ratio x is controlled by a flow ratio of the gas, it can be changed as it is desired by changing a gas flow ratio continuously and monotonously.

Data supplied from the esp@cenet database - I2

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭61-141116

① Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和61年(1986)6月28日

H 01 L 21/20
21/205
29/80
H 01 S 3/18

7739-5F
7739-5F
7925-5F
7377-5F

審査請求 未請求 発明の数 1 (全3頁)

② 発明の名称 半導体基板

① 特 願 昭59-263364

② 出 願 昭59(1984)12月13日

③ 発 明 者 大 島 弘 之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
③ 発 明 者 岩 野 英 明 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
③ 発 明 者 小 松 博 志 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
③ 発 明 者 恒 川 吉 文 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
③ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会 社
③ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

半導体基板

2. 特許請求の範囲

(1) Bi単結晶基板上に $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜を有し、該 $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜上に Ge 薄膜を有し、該 Ge 薄膜上に GaAs 薄膜を有することを特徴とする半導体基板。

(2) 前記 $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜の組成比 x を、膜厚方向に対して、 $x=0$ から $x=1$ まで連続的かつ単調に変化させたことを特徴とする特許請求の範囲第1項記載の半導体基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、化合物半導体デバイス用の半導体基板に関する。

(従来の技術)

近年、GaAs を始めとする化合物半導体材料を

用いたデバイスの研究が活発に行なわれている。これには、高純度で欠陥密度の小さい単結晶半導体基板が不可欠である。

従来、化合物半導体の単結晶基板としては、GaAs や InP が用いられているが、基板サイズが小さい上に高価であるという難点を抱えているため、Bi単結晶基板上に GaAs の単結晶薄膜をエピタキシャル成長させ、これを化合物半導体デバイス用の単結晶基板として用いようとする試みが行なわれている(例えば、Extended Abstracts of the 16th(1984 International) Conference on Solid State Devices and Materials, p.115, 1984)

図2図は、この従来の半導体基板の構成を示す断面図である。Bi単結晶基板201上にGe薄膜202が形成され、さらに該Ge薄膜上にGaAs薄膜が形成されている。

(発明が解決しようとする問題点)

しかし、このように構成された従来の半導体基板は次のような欠点を有している。すなわち、下の表1に示すように、GeとGaAsの格子定数及び

結晶係数は非常に良く一致し、極めて良好な結晶成長が可能であるが、BiとOeは格子定数が約4倍、熱膨張係数が約1.8倍、それぞれ異なるため、Bi上のOe薄膜のエピタキシャル成長は極めて困難である。このため、Bi上のOe中には多くの転位が存在し、界面単位密度も高い。これらは

	Bi	Oe	GaAs
格子定数(A)	5.43	5.657	5.653
熱膨張係数($\times 10^{-5}/\text{deg}$)	3.7	6.7	6.7

表 1

Oe上に形成されるGaAs薄膜の結晶性にも悪影響を与え、欠陥密度の低い良質なGaAs薄膜を実現することが困難であった。

本発明はこのような従来の問題を解決するものであり、その目的とするところはBi基板上に結晶性の良好なGaAs薄膜を有する半導体基板を提供するところにある。

(問題点を解決するための手段)

本発明は前記Bi基板と前記Oe薄膜の間を、

る。また $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜の組成比 x は、下のBi基板101と接する位相では $x=0$ 、すなわちBiの組成となっており、上のOe薄膜103と接する位相では $x=1$ 、すなわちOeの組成となっている。その間では、 x の値は0から1まで連続的かつ単調に変化し、BiとOe間の不整合を緩和している。上述の $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜は、例えばモノシラン(BiH_3)ガスとゲルマン(OeH_4)ガスを用いて流延CVD(化学気相成長)法により形成することができる。組成比 x はそれぞれのガスの流量比により制御され、ガス流量比を連続的かつ単調に変化させることにより組成比 x を所望通りに変えることができる。

第3図は、本発明による半導体基板における格子定数の深さ分布を模式的に示すグラフである。横軸は格子定数であり、横軸は深さ方向の位置を表わしている。点AはBi基板と $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜との界面を、点Bは $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜とOe薄膜との界面を、点CはOe薄膜とGaAs薄膜との界面をそれぞれ示している。図より明らかなように、Bi基板の格子定数とOe薄膜の格子定数の差を、パ-

$\text{Bi}_{1-x}\text{Oe}_x$ 薄膜をバッファ層として設けたことを特徴とする。また、該 $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜の組成比 x をBi基板側からOe薄膜側に向けて、 $x=0$ から $x=1$ まで連続的かつ単調に変化させたことを特徴とする。

(作用)

本発明の上記の構成によれば、格子不整合の大きいBi基板とOe薄膜の間に、両者の中間的な性質を有する $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜を設けるため、格子不整合が緩和される。また、組成比 x を連続的に変化させることにより、Biの組成からOeの組成に至るまで $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜の組成がなめらかに変化し、より一層、格子不整合を緩和することができる。このため、Bi上に形成されたOe薄膜の結晶性を著しく改善することができる。

(実施例)

第1図は、本発明の実施例における半導体基板の断面図である。Bi基板101上に、バッファ層となる $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜102が形成されており、その上にOe薄膜103とGaAs薄膜104が形成されてい

る。また $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜が徐々に緩和している。従来は、バッファ層となる $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜が存在しなかったために、点Aと点Bが一致しており、格子定数が不連続に変化し、Oe薄膜とGaAs薄膜の結晶性に悪影響を及ぼしていた。

(発明の効果)

本発明は以下に述べるような効果を有している。第1に、Bi基板上に結晶性の優れたGaAs薄膜を形成することができる。これは、前述の如く、バッファ層として $\text{Bi}_{1-x}\text{Oe}_x$ 薄膜を設けたことによる。これによりBi基板上のOe薄膜の結晶性が改善され、この結果、欠陥密度の小さい良好なGaAs薄膜を形成することができる。

第2に、上記に伴って、Bi基板上にGaAsを用いた化合物半導体デバイス形成することができる。このようなデバイスとしては、半導体レーザなどの発光デバイスや、トランジスタなどの高速デバイスが挙げられる。発光デバイスでは、GaAs薄膜中の結晶欠陥は非発光再結合中心となるため、効率的な低減(出力の減少)やしきい電流の増大

などの悪影響を及ぼす。高速デバイスでは、GaAs 薄層中の結晶欠陥はキャリアの散乱源となるため移動度の減少（動作速度の低下）などの悪影響を及ぼす。本発明によれば、結晶欠陥の少ないGaAs 薄層を実現できるため、Si基板上に高性能な化合物半導体デバイスを実現することができる。

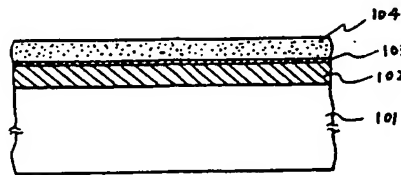
図3に、安価で大面積の半導体基板を提供することができる。Si基板は、大量の需要を背景として、直径5インチという大面積基板が極めて安価に供給されている。しかも公害や資源枯渇の心配がない。このように思われたSi基板上にGaAs 薄層が形成でき、化合物半導体デバイスを実現できることは極めて大きな長所である。

以上述べたように、本発明は数多くの優れた効果を有するものである。

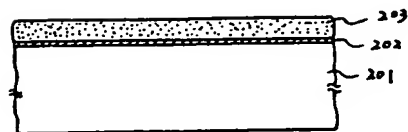
4. 図面の簡単な説明

図1図は本発明による半導体基板の構造を示す断面図である。

図2図は従来の半導体基板の構造を示す断面図



第 1 図



第 2 図

である。

図3図は本発明の半導体基板における格子定数の深さ方向変化を示すグラフである。

101, 201 Si 単結晶基板

102 $\text{Si}_{1-x}\text{Ge}_x$ 薄膜

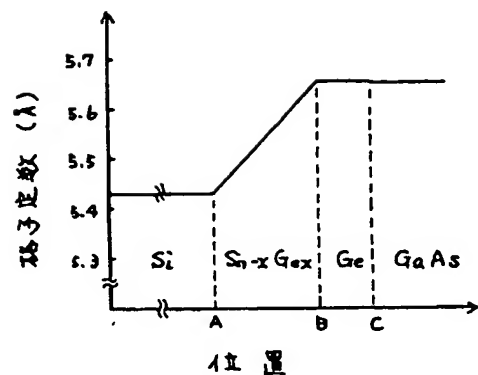
103, 202 Ge 薄層

104, 203 GaAs 薄層

以 上

出 願 人 株式会社 陽 防 精 工 会

代 理 人 弁 理 士 最 上



第 3 図